

Family list
2 family member for:
JP3203322
Derived from 1 application.

BEST AVAILABLE COPY

1 MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication info: JP2890584B2 - 1999-05-17
JP3203322 A - 1991-09-05

Data supplied from the esp@cenet database - Worldwide

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

BEST AVAILABLE COPY

03540422 **Image available**
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 03-203322 [JP 3203322 A]
PUBLISHED: September 05, 1991 (19910905)
INVENTOR(s): NOGUCHI TAKASHI
 SUMI HIROBUMI
 TAJIMA KAZUHIRO
APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 01-342960 [JP 89342960]
FILED: December 29, 1989 (19891229)
INTL CLASS: [5] H01L-021/28; H01L-021/3205; H01L-029/784
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide
 Semiconductors, MOS)
JOURNAL: Section: E, Section No. 1139, Vol. 15, No. 470, Pg. 78,
 November 28, 1991 (19911128)

ABSTRACT

PURPOSE: To form favorably silicide films on regions to be reduced their resistances add to contrive the speedup of the operation of a MIS semiconductor device by a method wherein a metal film is formed on the necessary regions of the MIS semiconductor device and a short-wavelength arc lamplight is irradiated to silicify the metal film.

CONSTITUTION: A polysilicon layer 3 is laminated on a quartz substrate 1, a gate electrode 5 consisting of a polysilicon layer is formed on the layer 3 via a gate oxide film 4 and when impurities, such as phosphorus or the like, are implanted in the layer 3 using the electrode 5 as a mask, impurity regions 6, i.e., source and drain regions, are formed and when a silicon oxide film 7 is deposited on the whole surface and an entire surface etching is performed, the film 7 is left on the sidewalls of the electrode 5. When a titanium film 8 is deposited on at least the regions 6 of this MIS semiconductor device and an arc lamplight of a short wavelength is irradiated in an argon-containing atmosphere, an annealing is performed at a low temperature for a comparatively short time, a polysilicon layer of the regions 6 and the polysilicon of the electrode 5 show a silicide reaction, silicide nitride films 9 are formed, the films 9 are turned into low-resistance regions and the MIS semiconductor device becomes a semiconductor device, whose operating speed is increased.

NOT AVAILABLE COPY

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-203322

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月5日

H 01 L 21/28
21/3205
29/784

T 7738-5F

6810-5F H 01 L 21/88
9056-5F 29/78

3 1 1 Q
N

審査請求 未請求 請求項の数 4 (全11頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-342960

⑰ 出 願 平1(1989)12月29日

⑱ 発 明 者 野 口 隆 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 発 明 者 角 博 文 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 発 明 者 田 島 和 浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
㉑ 代 理 人 弁理士 小 池 晃 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 基体上にMIS型半導体装置を形成し、少なくともそのMIS型半導体装置のソース・ドレイン領域上に金属膜を形成し、短波長アークランプ光を照射して前記金属膜をシリサイド化させることを特徴とする半導体装置の製造方法。

(2) 上記MIS型半導体装置が薄膜トランジスタである請求項1記載の半導体装置の製造方法。

(3) 基体上にMIS型半導体装置を形成し、少なくともそのMIS型半導体装置のソース・ドレイン領域上に金属膜及び反射防止膜を順次形成し、レーザー光を照射して前記金属膜をシリサイド化させることを特徴とする半導体装置の製造方法。

(4) 上記MIS型半導体装置が薄膜トランジスタである請求項3記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の製造方法に関し、特に金属膜のシリサイド化技術に関する。

(発明の概要)

本発明は、基体上のMIS型半導体装置の少なくともソース・ドレイン領域上に形成された金属膜をシリサイド化する半導体装置の製造方法において、短波長アークランプ光を用いて上記金属膜をシリサイド化することや該金属膜上の反射防止膜にレーザー光を照射してシリサイド化することにより、低抵抗なシリサイド膜を形成し、高速動作が可能な半導体装置を提供するとともに、3次元構造を有する半導体装置に用いて好適なシリサイド膜の形成方法を提供するものである。

(従来の技術)

近年、例えば液晶表示装置、モノリシックライセンサーやプリンタヘッド等の駆動用マトリク

BEST AVAILABLE COPY

特開平3-203322(2)

ス等の半導体装置に薄膜トランジスタが適用されている。上記半導体装置では大酸化が進むにつれて、薄膜トランジスタを高速度駆動させることが必要となる。この薄膜トランジスタの高速度化を図るために、薄膜トランジスタのソース・ドレイン領域やゲート電極をシリサイド化させて、コンタクト抵抗やシート抵抗を低減化させる方法が知られている。

従来のシリサイド化法では、例えば特開昭51-160952号公報に記載されるように、ポリシリコン層上に高融点金属膜を被着し、その高融点金属膜や上記ポリシリコン層にイオン注入を行った後、ランプアニールによりシリサイド膜を形成する方法等が知られている。上記高融点金属膜として、例えばタタン膜等が使用されており、そのシリサイド膜はサブミクロンLSIにおけるゲート電極材料として有用である。しかし、タタン膜は酸素に対して非常に活性であり、ファーンズアニールを施すと酸化が起こるため、タタンシリサイド膜は形成されにくい。従って、タタン膜の

シリサイド化では、ランプアニール法が有効とされ、通常800℃又は900℃程度の温度で希薄短時間アニールが行われている。

(発明が解決しようとする課題)

ところが、石英基板上に設けられた半導体装置において、上述のようなランプアニールを施す場合には、上記石英基板に対するエネルギーの吸収が少ないので、基板温度が上昇しにくい。従って、シリサイド反応を起こすためには、シリサイド膜に十分なエネルギーを蓄積させることが要求されるので、膜厚が1000Å程度以下の薄膜のタタンシリサイド膜を形成することは非常に困難である。

また、タタン膜のシリサイド化をエキシマレーザー光を用いたアニールによって行う方法もあるが、タタン膜に対するレーザー光の反射率が高く、タタン膜にエネルギーの吸収が起こりにくい。このため、シリサイド反応に必要なエネルギーがタタン膜に供給されないで、タタンシリサイド膜

は形成されない。

一方、薄膜トランジスタにおいては、後方側のリーク電流の低減化を図るために、ソース・ドレイン領域が形成されるポリシリコン層の膜厚を例えば約500Å以下に薄く化させる必要がある。このような薄く化された上記ポリシリコン層のソース・ドレイン領域上にタタン膜を被着させ、アニールを行ってシリサイド化させると、ポリシリコン層が薄膜であるために、シリサイド化が薄膜トランジスタの下層の石英基板にまで及ぶ。このため、石英基板に含まれる酸素がタタンシリサイド膜に侵入し、タタンシリサイド膜の抵抗値が上昇するという問題がある。このように、薄膜トランジスタでは良好に低抵抗化されないために、高速動作が実現できない。

そこで、本発明は、かかる従来の実情に鑑みて提案されたものであって、低抵抗化すべき領域に良好なシリサイド膜を形成し、高速動作を可能とする半導体装置の製造方法を提供することを目的とする。

(課題を解決するための手段)

本発明の半導体装置の製造方法は、上述の目的を達成するために提案されたものである。

即ち、本願の第1の発明は基体上にMIS型半導体装置を形成し、少なくともそのMIS型半導体装置のソース・ドレイン領域上に金属膜を形成し、短波長アークランプ光を照射して前記金属膜をシリサイド化させることを特徴とする。ここで、上記MIS型半導体装置は薄膜トランジスタであっても良い。また、上記基体としては石英基板等が使用される。

更に、本願の他の発明は基体上にMIS型半導体装置を形成し、少なくともそのMIS型半導体装置のソース・ドレイン領域上に金属膜及び反射防止膜を順次形成し、レーザー光を照射して前記金属膜をシリサイド化させることを特徴とする。ここで、上記MIS型半導体装置は薄膜トランジスタとすることでも、上記基体としては石英基板等が用いられる。

BEST AVAILABLE COPY

特開平3-203322(8)

【作用】

本願の第1の発明では、金属膜をシリサイド化させるためのアニール処理において、加熱源としてアークランプ光を用いる。アークランプ光は露光域でポリシリコン層に対して大きな吸収率を有する。このため、MIS型半導体装置あるいは上記薄膜トランジスタのポリシリコン層からなるソース・ドレイン領域にシリサイド反応に必要なエネルギーを蓄積させることができる。従って、ソース・ドレイン領域であるポリシリコン層の温度が十分に上昇するので、下地が石英基板であっても、上記ソース・ドレイン領域上に低抵抗なシリサイド膜が形成される。

また、本願の他の発明では、レーザー光を用いてアニールを行い、金属膜をシリサイド化する。この時、金属膜上に反射防止膜が形成されているので、レーザー光を照射しても金属膜に対するレーザー光の反射が防止され、上記反射防止膜を介してエネルギーが金属膜に吸収される。これにより、上記金属膜がシリサイド化され、低抵抗なシ

リサイド膜が形成される。このシリサイド膜を所定のパターンにパターニングすれば、低抵抗化すべき領域のみにシリサイド膜が形成される。

【実施例】

本発明の好適な実施例を図面を参照しながら説明する。

第1の実施例

本実施例は石英基板1上に設けられるMOSトランジスタのソース・ドレイン領域及びゲート電極上に短波長アークランプ光を用いた2段階ランプアニール法によりチタンシリサイド膜を形成する例である。

第1図(a)に示すように、石英基板1上にポリシリコン層3を積層させる。このポリシリコン層3上にゲート酸化膜4を介してポリシリコン層からなる所定の形状のゲート電極5が形成される。このゲート電極5をマスクとして用い、例えばリンやホウ素等の不純物をポリシリコン層3中にイオン注入し、不純物領域6を形成する。この不純

物領域6はソース・ドレイン領域として機能する。

全面にCVD法等によりシリコン酸化膜7を形成した後、全面エッチバックを行う。その結果、不純物領域6及びゲート電極5の上面でポリシリコン層が露出し、ゲート電極5の側壁に上記シリコン酸化膜7が残存する。

次に、スパッタ法等により、全面に300Å程度の膜厚を有するチタン膜8が堆積される。そして、アルゴン雰囲気中で短波長アークランプ光照射による加熱処理時間アニールを行う。このアニール処理の条件は適宜選定されれば良く、例えばアニール温度を比較的低温の約600℃とし、処理時間を30秒程度とすることが好ましい。また、短波長アークランプ光の波長は約0.5μm以下であることが好ましい。このアニール処理により、ソース・ドレイン領域のポリシリコン層3及びゲート電極5の上面で露出したポリシリコン層がチタン膜8とシリサイド反応を起こして、不純物領域6及びゲート電極5上にチタンシリサイド膜9が形成される。このチタンシリサイド膜9は比較

的低温でアニールされるので、モノシリサイド状態となる。

第2図はシリコン層に対するアークランプ光及びハロゲンランプ光のそれぞれ波長(μm)(横軸)に対する吸収強度(縦軸)の関係を示す図である。第2図より、ハロゲンランプ光では波長が約0.9μmの時に急激に吸収強度が増加するもののシリコン層に対して殆ど吸収されない。一方、アークランプ光では、約0.5μmにピークが存在し、大きな吸収が起こる。また、このアークランプ光の吸収係数 α (cm^{-1})(縦軸)も合わせて第2図中に示すと、0.2~0.8μmの範囲でアークランプ光の吸収係数 α が極めて高いことが判る。即ち、ポリシリコン層3やポリシリコン層からなるゲート電極5は露光域のアークランプ光の吸収係数 α が大きいので、これらのポリシリコン層3等に十分なエネルギーが供給される。このため、ポリシリコン層3等の下地が石英基板1であってもポリシリコン層3やゲート電極5のみの温度を効果的に上昇させることができるので、良好なシ

特開平3-203322(4)

リサイド化が行える。

続いて、上述のシリサイド化で未反応のチタン膜8を除去するために、チタン膜8のみを選択的に溶解し、チタンシリサイド膜9は溶かさないようなエッチング液により未反応のチタン膜8を選択的にエッチングする。その結果、第1図(b)に示すように、石英基板1上等に残存していたチタン膜8が除去されて、不純物領域6及びゲート電極5上等の低抵抗化すべし領域のみにチタンシリサイド膜9が形成される。

そして、上記チタンシリサイド膜9を酸素ガス雰囲気中にてアニールを行う。このアニール処理の条件は、適宜設定されればよく、例えばアニール温度を比較的高温の800℃程度とし、処理時間は30秒程度とすることが好ましい。このアニール処理により、チタンシリサイド膜9はシリサイド反応が完了してダイシリサイド状となる。通常のポリシリコン層からなるソース・ドレイン領域の抵抗値が数百Ω/□程度であるのに対し、上記チタンシリサイド膜9の抵抗値は約30Ω/□

以下と低いことから、不純物領域6及びゲート電極5上にチタンシリサイド膜9を形成することによってシート抵抗やコンタクト抵抗が著しく低減化される。従って、MOSトランジスタの高速動作が可能になる。

上記MOSトランジスタ上を含む全面に通常の製造工程にしたがって、シリコン酸化膜やPSG膜等からなる層間絶縁膜101を形成する。第1図(c)に示すように、この層間絶縁膜101は不純物領域6及びゲート電極5上で接触孔を有する。そして、この接触孔内を埋め込み、且つ層間絶縁膜6を覆ってアルミニウム配線層102が形成される。このアルミニウム配線層102は上記接触孔内でチタンシリサイド膜9を介して不純物領域6及びゲート電極5に接続される。この時、チタンシリサイド膜9がバリアメタルとして機能するために、アルミニウム配線層102とこれらのポリシリコン層との合金化反応が防止され、信頼性に優れたコンタクトが得られる。

最後に、水素化アニール処理が行われる。

なお、本実施例では、配線層の材料としてアルミニウムが使用されるが、高アスペクト比の接触孔においては、選択CVD法によるタングステン等の高融点金属の埋め込み技術が有効である。タングステンの選択CVDでは、通常、SiH₄ガスとWF₆ガスの混合ガスを反応させてタングステン膜が形成されるが、この方法では反応初期にチタンのフッ素化合物が生成され、接触孔内のチタンシリサイド膜9上に上記フッ素化合物が析出するため、コンタクト抵抗が上昇してしまうという問題が生じる。この問題を防止するために、後述する方法によってタングステンの埋め込みを行うことが好ましい。

即ち、先ず、水素還元法により約400℃以上の温度で選択CVDを行って、接触孔内のチタンシリサイド膜9上にタングステン膜を成長させる。ここで、温度を約400℃以上としてフッ化チタンの昇華温度以上とすることにより、上述のようなチタンのフッ素化合物の析出が防止される。また、水素還元雰囲気とされるので、約400℃以

上の高温でも選択性が崩れる虞れない。

次に、上記チタンシリサイド膜9が上記タングステン膜によって十分に覆われた時点で、温度を200℃程度まで低下させ、還元ガスをSiH₄ガスに切り換える。これにより、タングステン膜の成長速度が増加され、生産性が向上する。

第7図は、タングステンシリサイド膜上に従来の選択CVD法によりタングステン膜を増殖した場合(a)と、本実施例の選択CVD法によりタングステン膜を増殖した場合(b)におけるそれぞれコンタクト抵抗を示す図である。なお、第7図において、電流は縦軸、電圧は横軸に示す。第7図に示すように、従来の選択CVD法では直線性が悪く、オーミックコンタクトが得られていないのに対して、本実施例の選択CVD法では直線性に優れているとともに低抵抗であることが判る。従って、本実施例の選択CVD法によれば、コンタクト界面にチタンのフッ素化合物が形成されることがなく、チタンシリサイド膜9とタングステン膜が直接接続されて、良好なコンタクトが得られ

BEST AVAILABLE COPY

特開平3-203322(5)

る。

また、チタンシリサイド膜9上にオーミック性に優れたタングステン膜を形成する方法として、予めチタンシリサイド膜9上に選択的に無膜のシリコン膜を形成してもよい。

即ち、先ず、層間絶縁膜101に開口された接触孔内のチタンシリサイド膜9上にSiH₄、C₂H₆ガスを反応ガスとして選択CVDを行って、約1000人程度の膜厚のシリコン膜を形成する。この選択CVDの条件は、SiH₄、C₂H₆ガス流量を100SCCHとし、反応温度は例えば850℃程度、圧力は760Torrとする。この時、上述のような高温に保つことにより、シリサイド化工程でチタンシリサイド膜9中に拡散された不純物が再びポリシリコン層3へ拡散される。このため、同時に接合リーク電流の低減化が図られる。

次に、Si還元性によりWF₆、ガスとH₂ガスの混合ガスを反応させてタングステン膜を成長させる。その後、更にSiH₄ガスを添加し、SiH₄ガス還元雰囲気としてタングステンの成長速度を

増加させる。この時、例えばWF₆、ガス流量を0.5～10SCCH、SiH₄、ガス流量を0～9SCCHとし、反応温度は例えば250℃程度、圧力は0.15Torrとすることが好ましい。

最後に、1Rアニールを行って、チタンシリサイド膜9上に予め形成された上記シリコン膜をシリサイド化する。

上述のような選択CVD法により接触孔の埋め込みを行うことにより、オーミック性が向上し、信頼性に優れたコンタクトが得られる。

第2の実施例

本実施例は石英基板上に反応防止膜であるシリコン窒化膜を介して薄膜トランジスタを形成し、その薄膜トランジスタのソース・ドレイン領域及びゲート電極上に低抵抗なチタンシリサイド膜を形成する例である。

第3図(a)に示すように、石英基板11上にシリコン窒化膜12を形成させる。このシリコン窒化膜12の膜厚は1000人以下とされ、好まし

くは約500人以下とされる。このシリコン窒化膜12は後述するシリサイド化のアニール処理の際に、薄膜トランジスタの下層の石英基板11にシリサイド化が及びぬのを防止する反応防止膜として機能する。このシリコン窒化膜12上に薄膜のポリシリコン層13を積層させる。このポリシリコン層13上にゲート酸化膜14を介してポリシリコン層からなる所定の形状のゲート電極15が形成される。このゲート電極15をマスクとしてイオン注入を行い、例えばリン等の不純物をポリシリコン層13中に不純物領域16を形成する。この不純物領域16はソース・ドレイン領域として機能する。

全面にCVD法等によりシリコン酸化膜17を形成した後、全面エッチバックを行う。その結果、ゲート電極15の側壁のみに上記シリコン酸化膜17が形成される。

続いて、スパッタ法等により全面にチタン膜18を形成する。そして、第1の実施例と同様にアルゴン雰囲気中で短波長アークランプ光を用いて

急熱短時間アニールを行う。このアニール処理により、不純物領域16及びゲート電極15上にチタンシリサイド膜19が形成される。この時、石英基板11上にはシリコン窒化膜12が形成されているので、ポリシリコン層13が薄膜であっても、シリサイド化が石英基板11にまで及びぬがない。従って、石英基板11に含まれる酸素の熱拡散によってチタンシリサイド膜19中に酸素が浸入することがなく、抵抗値が約15Ω/cm以下の良好なチタンシリサイド膜19が形成される。

続いて、チタン膜18のみを選択的に溶解し、チタンシリサイド膜19は溶かさないようなエッチング液を用いてエッチングを行う。その結果、第3図(b)に示すように、石英基板11上等に残存する未反応のチタン膜18が除去され、不純物領域16及びゲート電極15上等の低抵抗化すべき領域にチタンシリサイド膜19が形成される。これにより、不純物領域16やゲート電極15上が低抵抗化されるので、薄膜トランジスタの動作の高速化が図られる。

特開平3-203322(6)

第3の実施例

本実施例は石英基板上に設けられる薄膜トランジスタのソース・ドレイン領域上にチタン膜及び反射防止膜としてのアモルファスシリコン膜を順次増殖し、エキシマレーザー光を用いたアニールを行ってチタンシリサイド膜を形成する例である。

先ず、第4図(a)に示すように、石英基板21上に薄膜のポリシリコン層23を積層させる。このポリシリコン層23上にゲート酸化膜24を介して所定の形状のゲート電極25が形成される。このゲート電極25はタンダステンシリサイド層からなり、低い抵抗値を有するので、薄膜トランジスタの高速化において有利である。このようなゲート電極25をマスクとして用いて、例えばリン等の不純物をポリシリコン層23中にイオン注入し、ソース・ドレイン領域として機能する不純物領域26を形成する。

続いて、第4図(b)に示すように、全面にCVD法等によりシリコン酸化膜27を形成した後、全面エッチバックを行って、ゲート電極25の側

壁にのみ上記シリコン酸化膜27を形成する。

次に、第4図(c)に示すように、スパッタ法等により、全面に300Å程度の膜厚を有するチタン膜28を増殖する。このチタン膜28上に反射防止膜として機能するアモルファスシリコン膜29を形成する。このアモルファスシリコン膜29の膜厚は例えば300Å程度とされ、他にもポリシリコン膜等が使用可能とされる。そして、エキシマレーザー光を全面に照射して加熱処理アニールを行って、チタン膜28をシリサイド化させる。このアニール処理の条件は適宜選定されればよい。この時、チタン膜28上にアモルファスシリコン膜29が形成されているので、エキシマレーザー光を用いてもチタン膜28に対するレーザー光の反射が防止され、アモルファスシリコン膜29を介してエネルギーが吸収される。その結果、第4図(d)に示すように、チタン膜28とアモルファスシリコン膜29及び不純物領域26がシリサイド反応を起こして、全面にチタンシリサイド膜30が形成される。

続いて、第4図(e)に示すように、シリコン酸化膜27を含むゲート電極25を覆うパターン用のマスクを用いて上記チタンシリサイド膜30のエッチングを行う。その結果、チタンシリサイド膜30はシリコン酸化膜27に自己整合的にパターンニングされる。

第4の実施例

本実施例は石英基板上に設けられる薄膜トランジスタのソース・ドレイン領域上にチタン膜及び反射防止膜としてのTiON膜を順次増殖し、エキシマレーザー光を用いたアニール処理を行ってチタンシリサイド膜を形成する例である。

先ず、上述の第4図(a)乃至第4図(b)に示す工程にしたがってゲート電極25の側壁にシリコン酸化膜27を有するMOSトランジスタを形成した後、第5図(a)に示すように、チタン膜28及び反射防止膜として機能するTiON膜31を順次増殖する。なお、上述の第4図(a)乃至第4図(b)と共通の部分については、同一の引用符号

を付す。

続いて、上述のアニール処理と同様にエキシマレーザー光を全面に照射してシリサイド化を行う。チタン膜28上にはTiON膜31が形成されているので、チタン膜28に対するレーザー光の反射が防止され、TiON膜31を介してエネルギーが吸収される。その結果、チタン膜28と不純物領域26が形成されたポリシリコン層23とがシリサイド反応を起こして、不純物領域26の周囲にチタンシリサイド膜30が形成される。

未反応のチタン膜28やTiON膜31を除去するために、これらの選択的エッチングを行う。その結果、第5図(b)に示すように、不純物領域26の表面にチタンシリサイド膜28が形成されて、低抵抗化したい領域のみを選択的にシリサイド化することが可能となる。

第5の実施例

本実施例は基板上に設けられるMOSトランジスタの上部にTiN膜を介してチタンシリサイド

BEST AVAILABLE COPY

特開平3-203322(7)

膜からなる配線層を形成する例である。

先ず、第6図(a)に示すように、P型のシリコン基板41をLOCOS法等により選択的に酸化して素子分離領域42を形成する。この素子分離領域42の下部には p^+ 型の不純物が導入され、チャンネルストッパーとして機能する p^+ 型の不純物領域43が形成される。そして、シリコン基板41上にゲート酸化膜44を介してゲート電極として用いられるタンダステンシリサイド層45及びタンダステンシリサイド層52がバターンニングにより形成される。タンダステンシリサイド層52は一方の端部がシリコン基板41上にあり、他方の端部が素子分離領域42上にゲート酸化膜44を介して延在するパターンとされる。

そして、上記ゲート電極45をマスクとして、イオン注入を行ってシリコン基板41の表面に n^+ 型の不純物領域46aを形成する。

全面にシリコン酸化膜47を形成した後、全面エッチバックを行って不純物領域46aを露出させる。これにより、タンダステンシリサイド層4

5の側壁にシリコン酸化膜47が残存される。このシリコン酸化膜47を含めてタンダステンシリサイド層45をマスクとしてシリコン基板41の表面に n^+ 型の不純物をイオン注入し、ソース・ドレイン領域として機能する n^+ 型の不純物領域46bを形成する。シリコン基板41の表面には予め n^+ 型の不純物が導入されているので、タンダステンシリサイド層45の近傍にはシリコン酸化膜47と密着結合的に n^+ 型の不純物領域46aが形成される。即ち、信頼性に優れたLDD型MOSトランジスタが形成される。このようなMOSトランジスタを覆って全面に十分な膜厚のシリコン酸化膜51が形成される。このシリコン酸化膜51は層間絶縁膜として機能する。

上記シリコン酸化膜51上に上記MOSトランジスタのソース・ドレイン領域の一方の上部で開口したレジスト層を形成し、このレジスト層をマスクとしてエッチングを行ってシリコン酸化膜51に開口部54を形成する。このエッチングにより、上記タンダステンシリサイド層52の端部が

上記開口部54内に露出する。そして、この開口部54を含む全面に薄膜のTiN膜53を開口部54の形状に沿って形成する。このTiN膜53は伝送するシリサイド化のアニール処理において反応防止膜として機能する。また、露出したタンダステンシリサイド層52の端部はこのTiN膜53によって覆われる。

続いて、第6図(b)に示すように、TiN膜53上に開口部54の形状に沿ってチタン膜48を形成し、このチタン膜48上にアモルファスシリコン膜49を積層する。

次に、第3の実施例と同様にして全面にエキシマレーザ光を照射してアニールを行い、第6図(c)に示すように、チタン膜48とアモルファスシリコン膜49をシリサイド化させてチタンシリサイド膜50を形成する。この時、エキシマレーザ光が照射されるアモルファスシリコン膜49の下層にはシリコン酸化膜51が形成されているが、TiN膜53が介在しており、このTiN膜53がバリアとして機能するため、熱によってシ

リコン酸化膜51に含まれる酸素がチタンシリサイド膜50中に侵入する虞がない。従って、良好なチタンシリサイド膜50が得られる。また、チタン膜48上にアモルファスシリコン膜49が形成されているので、エキシマレーザ光を照射してもチタン膜48がエキシマレーザ光を反射することが防止される。このため、アモルファスシリコン膜49を介してチタン膜48にエネルギーが吸収され、シリサイド反応が起こる。

上記チタンシリサイド膜50は開口部54でTiN膜53を介して不純物領域46bと接続され、低抵抗な配線層として機能する。

以上のように、チタン膜48上にアモルファスシリコン膜49を形成し、アモルファスシリコン膜49にエキシマレーザ光を照射してシリサイド化を行って低抵抗な配線層が形成される。また、エキシマレーザ光を用いたアニールを行うので、下層に熱的なダメージを与える虞がない。

【発明の効果】

特開平3-203322(8)

上述のように、本発明では短波長アークランプ光を用いて金属膜のシリサイド化を行うことによつて、低抵抗化すべき領域に良好なシリサイド膜が形成される。また、本発明では金属膜上に反射防止膜を設けることにより、レーザー光によるシリサイド化が可能とされる。これにより、ソース・ドレイン領域やゲート電極等でコンタクト抵抗やシート抵抗が低減化されるので、MIS型半導体装置或は上記薄膜トランジスタの高速動作が実現されるとともに、高抵抗化、大抵抗化に好都合である。

更に、本発明ではレーザー光によるシリサイド化が可能となるので、下層に絶縁的なゲノージュを与えずにシリサイド化を行うことが可能とされ、半導体装置の3次元構造化に好適なシリサイド化が提供される。

4. 図面の簡単な説明

第1図(a)乃至第1図(c)は本発明の半導体装置の第1の実施例の製造方法を製造工程順に従つ

て説明するためのそれぞれ縦断面図、第2図はシリコン層に対するアークランプ光及びハロゲンランプ光のそれぞれ波長に対する吸収強度の関係とアークランプ光の吸収係数を示す特性図、第3図(a)乃至第3図(b)は上記半導体装置の第2の実施例の製造方法を説明するためのそれぞれ縦断面図、第4図(a)乃至第4図(c)は上記半導体装置の第3の実施例の製造方法を説明するためのそれぞれ縦断面図、第5図(a)乃至第5図(b)は上記半導体装置の第4の実施例の製造方法を説明するためのそれぞれ縦断面図、第6図(a)乃至第6図(c)は上記半導体装置の第5の実施例の製造方法を説明するためのそれぞれ縦断面図、第7図は従来の選択CVD法によりタンダステン膜を堆積した場合と第1の実施例の選択CVD法によりタンダステン膜を堆積した場合におけるそれぞれコンタクト抵抗を示す特性図である。

1・・・石英基板

2・・・ポリシリコン層

4・・・ゲート酸化膜

5・・・ゲート電極

6・・・不純物領域

7・・・シリコン酸化膜

8・・・タタン膜

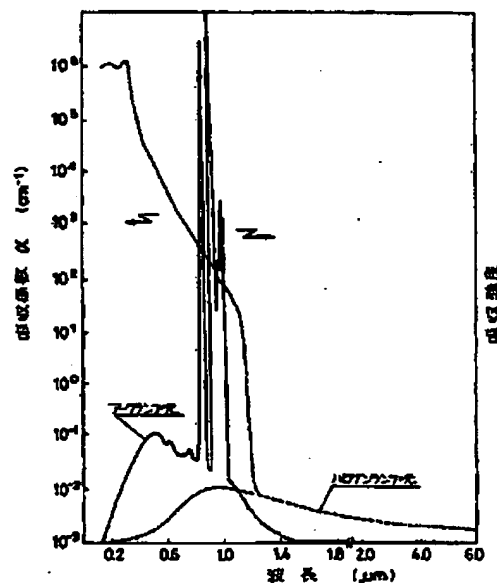
9・・・タタンシリサイド膜

特許出願人 ソニー株式会社

代理人 弁護士 小嶋 晃

田村 隆一

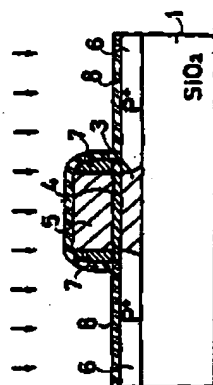
佐藤 勝



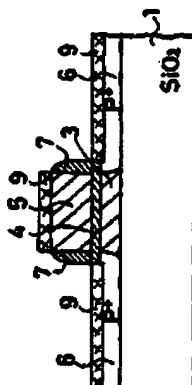
第2図

BEST AVAILABLE COPY

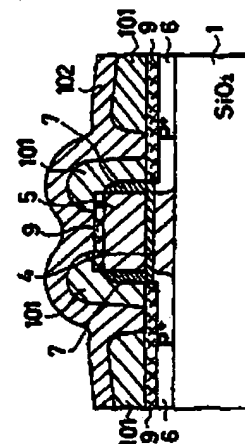
特開平3-203322(9)



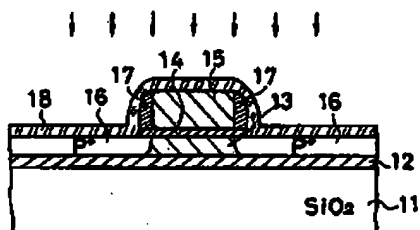
第1図(a)



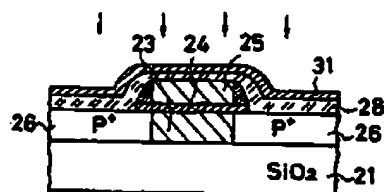
第1図(b)



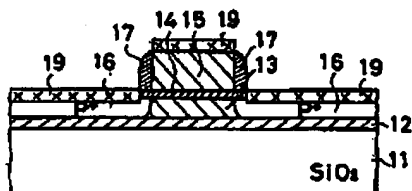
第1図(c)



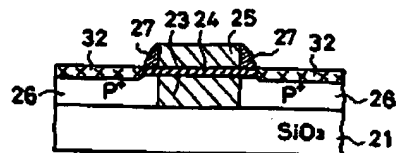
第3図(a)



第5図(a)



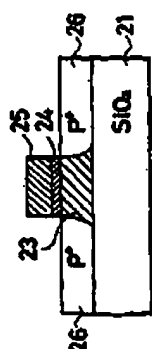
第3図(b)



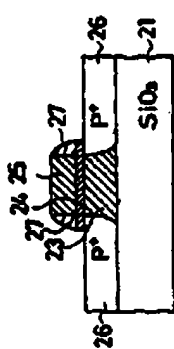
第5図(b)

BEST AVAILABLE COPY

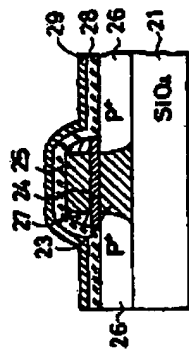
特開平3-203322 (10)



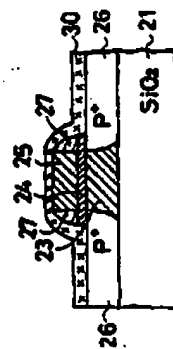
第 4 圖 (a)



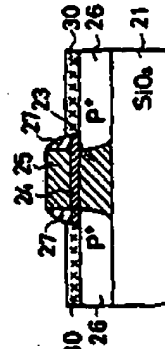
第 4 圖 (b)



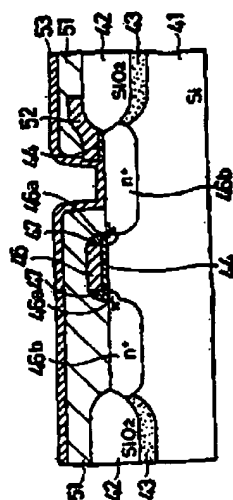
第 4 圖 (c)



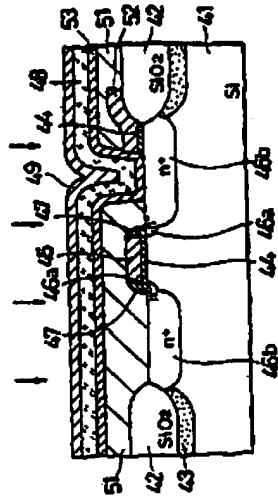
第 4 圖 (d)



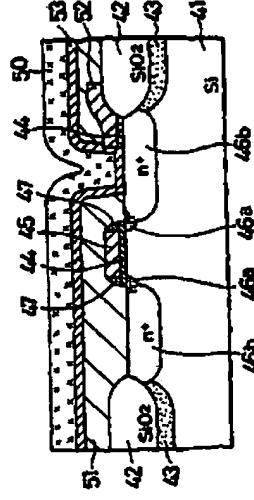
第 4 圖 (e)



第 6 圖 (a)



第 6 圖 (b)

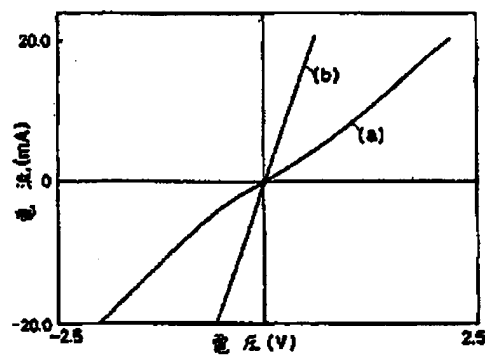


第 6 圖 (c)

Scanned 2/2/2005
Scanned 2/2/2005

BEST AVAILABLE COPY

特開平3-203322 (11)



第 7 図